

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036359

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H03G 3/00

H03G 3/12

H03M 1/12

(21)Application number : 11-207619

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 22.07.1999

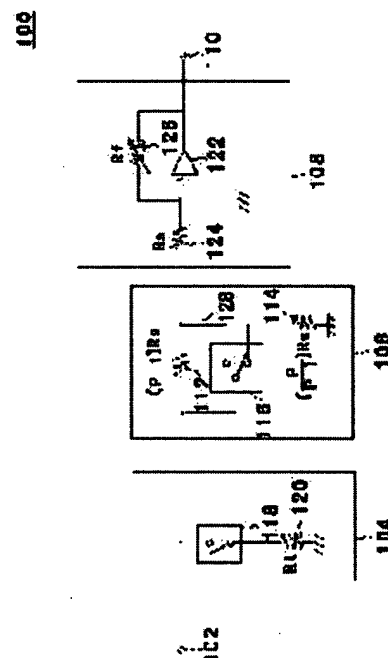
(72)Inventor : KAWABATA MASAYUKI

## (54) ANALOG SIGNAL PROCESSING CIRCUIT AND A/D CONVERTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an analog signal processing circuit capable of controlling the level of an input analog signal and controlling the input impedance.

**SOLUTION:** A level controller 106 is arranged with one terminal of a first resistant component 112 being connected electrically to an input terminal 102, while the other terminal of the first resistant component 112 is electrically connected to one terminal of an input impedance component 124 in a signal input circuit 108. A second resistant component 114 electrically connects one terminal or other terminal of the first resistant component 112 with the ground. When a line switching part 116 switches a line, through which an analog signal is passed, to a line provided with the first resistant component 112, an analog signal attenuated to  $1/p$  fold appears at the other terminal of the first resistant component 112. In an input impedance control part 104, one terminal of a third resistant component 120 is connected to the ground. By electrically connecting or disconnecting the other terminal of the third resistant component 120 and one terminal of the first resistant component 112, the input impedance of an analog signal processing circuit 100 can be controlled.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-36359  
(P2001-36359A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 3 G	3/00	H 0 3 G 3/00	Z 5 J 0 2 2
	3/12	3/12	E 5 J 1 0 0
H 0 3 M	1/12	H 0 3 M 1/12	A

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願平11-207619

(22) 出願日 平成11年7月22日 (1999.7.22)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 川端 雅之

東京都練馬区旭町1丁目32番1号株式会社

アドバンテスト内

(74) 代理人 100104156

弁理士 龍華 明裕

Fターム (参考) 5J022 AA01 BA08 CC01 CF02 CF07

5J100 AA17 BB01 BB07 BB16 BC05

CA01 CA12 CA28 JA01 LA10

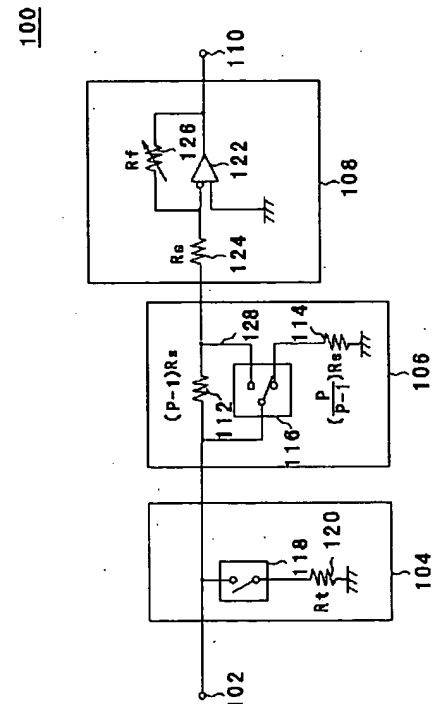
LA11 QA02

(54) 【発明の名称】 アナログ信号処理回路およびAD変換装置

(57) 【要約】

【課題】 入力アナログ信号のレベルを調整し、且つ、入力インピーダンスを調整することができるアナログ信号処理回路を提供する。

【解決手段】 レベル調整器106において、第1抵抗成分112の一端が入力端子102に電氣的に接続されて設けられる。一方、第1抵抗成分112の他端は、信号入力回路108の入力インピーダンス成分124の一端に電氣的に接続される。第2抵抗成分114が、第1抵抗成分112の一端または他端とアースとを電氣的に接続する。経路切替部116が、アナログ信号が通る経路を、第1抵抗成分112を含む経路に切り替えると、第1抵抗成分112の他端には、 $1/p$ 倍に減衰されたアナログ信号が現れる。入力インピーダンス調整部104において、第3抵抗成分120の一端が、アースに接続される。第3抵抗成分120の他端と第1抵抗成分112の一端とを電氣的に接続または遮断することによって、アナログ信号処理回路100の入力インピーダンスを調整することが可能となる。



## 【特許請求の範囲】

【請求項1】 アナログ信号を処理するアナログ信号処理回路であって、

前記アナログ信号が入力される入力端子と、

前記入力端子に入力された前記アナログ信号が一端に入力される第1抵抗成分と、前記第1抵抗成分の前記一端または他端とアースとを電気的に接続する第2抵抗成分とを有して、前記第1抵抗成分の前記一端に入力された前記アナログ信号のレベルを調整して、レベルを調整された前記アナログ信号を前記第1抵抗成分の前記他端から出力するレベル調整器と、

所定の入力インピーダンスを有し、前記レベル調整器から出力される前記アナログ信号が入力される信号入力回路とを備え、

前記第1抵抗成分の前記一端の入力インピーダンスが、前記信号入力回路の前記所定の入力インピーダンスに等しいことを特徴とするアナログ信号処理回路。

【請求項2】 前記レベル調整器が、

前記第1抵抗成分の前記一端および前記他端を接続する低インピーダンスのバイパス経路と、

前記アナログ信号が通る経路を、前記第1抵抗成分を含む経路または前記バイパス経路のいずれか一方に切り替える経路切替部とを有することを特徴とする請求項1に記載のアナログ信号処理回路。

【請求項3】 前記経路切替部が、前記アナログ信号が通る経路を前記第1抵抗成分を含む経路に切り替えるとき、前記第1抵抗成分の前記一端または前記他端と前記第2抵抗成分とを電気的に接続し、

前記経路切替部が、前記アナログ信号が通る経路を前記バイパス経路に切り替えるとき、前記第1抵抗成分の前記一端または前記他端と前記第2抵抗成分とを電気的に遮断することを特徴とする請求項2に記載のアナログ信号処理回路。

【請求項4】 アースに接続されて設けられた第3抵抗成分と、

前記第3抵抗成分と、前記レベル調整器の前記第1抵抗成分の前記一端とを電気的に接続又は遮断する接続切替部とを有する入力インピーダンス調整部とを備えることを特徴とする請求項1から3のいずれかに記載のアナログ信号処理回路。

【請求項5】 前記信号入力回路が、アナログ信号増幅器であることを特徴とする請求項1から4のいずれかに記載のアナログ信号処理回路。

【請求項6】 前記第2抵抗成分は、前記第1抵抗成分の前記一端に接続され、

前記所定のインピーダンスと、前記第1抵抗成分のインピーダンスと、前記第2抵抗成分のインピーダンスとの比が、

$$1 : (p-1) : p / (p-1)$$

(pは1より大きい定数)であることを特徴とする請求

項1から5のいずれかに記載のアナログ信号処理回路。

【請求項7】 前記第2抵抗成分は、前記第1抵抗成分の前記他端に接続され、

前記所定のインピーダンスと、前記第1抵抗成分のインピーダンスと、前記第2抵抗成分のインピーダンスとの比が、

$$1 : (p-1) / p : 1 / (p-1)$$

(pは1より大きい定数)であることを特徴とする請求項1から5のいずれかに記載のアナログ信号処理回路。

【請求項8】 複数の前記レベル調整器が、前記入力端子と前記信号入力回路の間で直列に接続されていることを特徴とする請求項1から7のいずれかに記載のアナログ信号処理回路。

【請求項9】 前記レベル調整器でレベルを調整されたアナログ信号から、所定の電圧分を除去するレベルシフト部を更に備えることを特徴とする請求項1から8のいずれかに記載のアナログ信号処理回路。

【請求項10】 アナログ信号を処理するアナログ信号処理回路であって、

前記アナログ信号が入力される入力端子と、

前記入力端子に対して設けられる、所定の高入力インピーダンスを有する高インピーダンス入力経路と、

前記入力端子に対して設けられる、前記高インピーダンス入力経路よりも低い低入力インピーダンスを有する低インピーダンス入力経路と、

前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通った、前記アナログ信号を出力する出力切替部と、

前記出力切替部から出力された前記アナログ信号が一端に入力される第1抵抗成分と、前記第1抵抗成分の前記一端または他端とアースとを電気的に接続する第2抵抗成分とを有して、前記第1抵抗成分の前記一端に入力された前記アナログ信号のレベルを調整して、レベルを調整された前記アナログ信号を前記第1抵抗成分の前記他端から出力するレベル調整器と、

所定の入力インピーダンスを有し、前記レベル調整器から出力される前記アナログ信号が入力される信号入力回路とを備え、

前記第1抵抗成分の前記一端の入力インピーダンスが、前記信号入力回路の前記所定の入力インピーダンスに等しいことを特徴とするアナログ信号処理回路。

【請求項11】 前記低インピーダンス入力経路とアースとを接続する第3抵抗成分を更に有し、

前記第3抵抗成分、前記第1抵抗成分、前記第2抵抗成分、および信号入力回路の前記所定の入力インピーダンスとが、前記高インピーダンス入力経路が有する前記高入力インピーダンスよりも低いインピーダンスを構成することを特徴とする請求項10に記載のアナログ信号処理回路。

【請求項12】 アナログ信号をデジタル信号に変換

するAD変換装置であって、  
前記アナログ信号が入力される入力端子と、  
前記入力端子に対して設けられる、高入力インピーダンスを有する高インピーダンス入力経路と、  
前記入力端子に対して設けられる、前記高インピーダンス入力経路よりも低い低入力インピーダンスを有する低インピーダンス入力経路と、  
前記入力端子に対して設けられる、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通った、前記アナログ信号を出力する出力切替部と、  
前記出力切替部から出力された前記アナログ信号が一端に入力される第1抵抗成分と、前記第1抵抗成分の前記一端または他端とアースとを電気的に接続する第2抵抗成分とを有して、前記第1抵抗成分の前記一端に入力された前記アナログ信号のレベルを調整して、レベルを調整された前記アナログ信号を前記第1抵抗成分の前記他端から出力するレベル調整器と、  
所定の入力インピーダンスを有し、前記レベル調整器から出力される前記アナログ信号が入力されて、電圧信号を出力する信号入力回路と、  
前記電圧信号をデジタル信号に変換するADコンバータとを備え、  
前記第1抵抗成分の前記一端の入力インピーダンスが、前記信号入力回路の前記所定の入力インピーダンスに等しいことを特徴とするAD変換装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、入力アナログ信号を処理するアナログ信号処理回路に関し、特に、入力アナログ信号のレベルを減衰するとともに、入力インピーダンスを調整することができるレベル調整器を備えたアナログ信号処理回路に関する。

##### 【0002】

【従来の技術】アナログ素子は、通常、一定の入力制限を有し、所定の制限電圧以上の入力信号が、素子に入力されるのは好ましくない。例えば、アナログ信号増幅器に大きなレベル（振幅）を有するアナログ信号が入力される場合、アナログ信号増幅器の出力が飽和するのを防止するために、そのレベルに応じて最適なレベル調整器（アッテネータ）を選択して、入力レベルを減衰する必要がある。

【0003】また、アナログ信号を出力するデバイスの駆動能力に応じて、後段に設けられて当該アナログ信号が入力される回路の入力インピーダンスを調整することも必要である。例えば、デバイスの出力駆動能力が強く、出力信号周波数が高いときには、後段の経路の入力インピーダンスを低インピーダンスとするのが好ましい。特に、出力信号周波数が10MHzを越えると、インピーダンスを整合させるために、後段の経路入力イン

ピーダンスを低インピーダンスにする必要がある。一方、デバイスの出力駆動能力が弱く、出力信号周波数が低い場合には、後段の経路の入力インピーダンスを高インピーダンスとしてもよい。デバイスの出力信号周波数が低ければ、インピーダンスを整合する必要性に乏しいので、デバイスの出力駆動能力に関わらず、後段の経路入力インピーダンスを高インピーダンスにすることができる。

【0004】図1は、50Ωの終端抵抗34を有して且つ減衰率の選択を可能とする従来のアナログ信号処理回路10を示す。アナログ信号処理回路10は、入力端子12、レベル調整器14、16、信号入力回路18および出力端子20を備える。レベル調整器14は、T型アッテネータ22、経路切替部24および26を有し、同様に、レベル調整器16も、T型アッテネータ28、経路切替部30および32を有する。アナログ信号が通る経路として、経路切替部24および26は、T型アッテネータ22を含む経路またはバイパス経路のいずれかを選択し、同様に、経路切替部30および32は、T型アッテネータ28を含む経路またはバイパス経路のいずれかを選択する。信号入力回路18は、バッファ回路36と、50Ωの終端抵抗34を有する。T型アッテネータ22および28は、終端抵抗34の入力インピーダンスを保つように、3つの抵抗によりそれぞれ構成される。

【0005】例えば、T型アッテネータ22は、50Ω系の12dBアッテネータであり、T型アッテネータ28は、50オーム系の6dBアッテネータである。T型アッテネータは、一定の出力インピーダンスを有し、回路の入力インピーダンスを50Ωに保つ。アナログ信号は、T型アッテネータ22を通過すると、12dB減衰し、また、アナログ信号は、T型アッテネータ28を通過すると、6dB減衰する。経路切替部24、26および30、32の経路切替え動作により、0dB、6dB、12dBおよび18dBの4レンジの減衰率を得ることが可能である。

【0006】図2は、入力インピーダンスの切替えと、4レンジの減衰率を得ることができる従来のアナログ信号処理回路40を示す。アナログ信号処理回路40は、入力端子42、切替リレー44、終端抵抗46、分圧用抵抗48、50、52、54、減衰率選択部60、バッファ回路56および出力端子58を備える。この従来例において、終端抵抗46は、50Ωの抵抗値を有し、分圧用抵抗48、50、52および54は、それぞれ、500kΩ、250kΩ、125kΩ、125kΩの抵抗値を有している。図示されるとおり、分圧用抵抗48、50、52および54は、直列に接続されており、分圧用抵抗54の一端は、アースに接続されている。

【0007】切替リレー44が開いているとき（すなわち、図示される状態のとき）、入力インピーダンスは1MΩとなる。一方、切替リレー44が閉じているとき、

入力インピーダンスは、約50Ωとなる。このように、アナログ信号処理回路40は、切替リレー44を開閉することによって、入力インピーダンスを調整（切替え）することが可能である。

【0008】また、減衰率選択部60は、所望の減衰率に基づいて、経路の切替え先を選択することができる。すなわち、減衰率選択部60は、4つの切替え先端子のいずれかを選択することにより、0dB、6dB、12dBおよび18dBの4レンジの減衰率を得ることができる。

【0009】図3は、入力インピーダンスの切替えと、可変の減衰率を得ることができる従来のアナログ信号処理回路70を示す。アナログ信号処理回路70は、入力端子72、切替リレー74、終端抵抗76、入力インピーダンス78、オペアンプ80、可変帰還抵抗82、帰還抵抗84、切替リレー86および出力端子88を有する。終端抵抗76は、抵抗値 $R_t$ 、入力インピーダンス78は、抵抗値 $R_s$ 、可変帰還抵抗82は、可変抵抗値 $R_f$ を有する。

【0010】切替リレー74が開いているとき（すなわち、図示される状態のとき）、入力インピーダンスは $R_s$ となる。一方、切替リレー44が閉じているとき、入力インピーダンスは、 $R_s$ と $R_t$ の合成抵抗値となる。このように、アナログ信号処理回路70において、切替リレー74の開閉により、入力インピーダンスの調整（切替え）を行うことが可能である。

【0011】また、切替リレー86の開閉を行うことによって、オペアンプ80から出力されるアナログ信号のレベルを調整することができる。また、可変帰還抵抗82の抵抗値 $R_f$ を変化させることによって、アナログ信号の減衰率を可変に調整することが可能となる。

【0012】

【発明が解決しようとする課題】図1に示されたアナログ信号処理回路10は、4レベルの減衰率で入力アナログ信号を減衰することができ、入力インピーダンスを50Ωに保つことができる。しかし、入力インピーダンスを変更する場合には、終端抵抗34を取り替え、更に、終端抵抗34の抵抗値に合わせて、T型アッテネータ22、28の抵抗値も調整する必要がある。そのため、アナログ信号処理回路10においては、回路の動作中に、入力アナログ信号の種類に応じて、入力インピーダンスを調整することが困難であった。また、1つのレベル調整器中に、2つの経路切替部が必要とされるので、高周波特性が制限されることがあった。

【0013】図2に示されたアナログ信号処理回路40は、4レベルの減衰率で入力アナログ信号を減衰することができ、入力インピーダンスを1MΩまたは50Ωに調整することができる。しかし、1MΩの高インピーダンスでアッテネータ（分圧用抵抗48、50、52、54、および減衰率選択部60に対応）を構成するので、

高周波では浮遊容量の影響が大きくなり、周波数特性を平坦に保つのが困難になるという欠点がある。

【0014】図3に示されたアナログ信号処理回路70は、可変の減衰率で入力アナログ信号を減衰することができ、入力インピーダンスを $R_s$ または $R_s$ と $R_t$ の合成抵抗に調整することができる。しかし、オペアンプによっては、帰還抵抗値に推奨範囲があり、そのような場合に、アナログ信号処理回路70は、減衰率の可変範囲が限定されるという欠点を有する。

【0015】そこで本発明は、従来のアナログ信号処理回路における欠点および課題を解決することのできるアナログ信号処理回路を提供することを目的とする。また、本発明は、該アナログ信号処理回路を組み込んだAD変換装置を提供することも目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【0016】

【課題を解決するための手段】上記課題を解決するために、本発明の第1の形態は、アナログ信号を処理するアナログ信号処理回路であって、前記アナログ信号が入力される入力端子と、前記アナログ信号のレベルを調整して、レベルを調整された前記アナログ信号を出力するレベル調整器と、所定の入力インピーダンスを有し、前記レベル調整器から出力される前記アナログ信号が入力される信号入力回路とを備えたアナログ信号処理回路を提供する。

【0017】レベル調整器は、前記入力端子に入力された前記アナログ信号が一端に輸入される第1抵抗成分と、前記第1抵抗成分の前記一端または他端とアースとを電気的に接続する第2抵抗成分とを有して、前記第1抵抗成分の前記一端に輸入された前記アナログ信号のレベルを調整して、レベルを調整された前記アナログ信号を前記第1抵抗成分の前記他端から出力することができる。さらに、第1の形態によるアナログ信号処理回路は、前記第1抵抗成分の前記一端の入力インピーダンスが、前記信号入力回路の前記所定の入力インピーダンスに等しいことを特徴とする。このアナログ信号処理回路は、複数のレンジの減衰率を有し、更に、入力インピーダンスを調整可能であることを特徴とする。

【0018】第1の形態の一つの態様において、前記レベル調整器が、前記第1抵抗成分の前記一端および前記他端を接続する低インピーダンスのバイパス経路と、前記アナログ信号が通る経路を、前記第1抵抗成分を含む経路または前記バイパス経路のいずれか一方に切り替える経路切替部とを有してもよい。

【0019】第1の形態の別の態様において、前記経路切替部が、前記アナログ信号が通る経路を前記第1抵抗成分を含む経路に切り替えるとき、前記第1抵抗成分の前記一端または前記他端と前記第2抵抗成分とを電気的

に接続し、前記経路切替部が、前記アナログ信号が通る経路を前記バイパス経路に切り替えるとき、前記第1抵抗成分の前記一端または前記他端と前記第2抵抗成分とを電氣的に遮断することができる。

【0020】第1の形態の更に別の態様において、アナログ信号処理回路が、アースに接続されて設けられた第3抵抗成分と、前記第3抵抗成分と、前記レベル調整器の前記第1抵抗成分の前記一端とを電氣的に接続又は遮断する接続切替部とを有する入力インピーダンス調整部とを備えてもよい。

【0021】第1の形態の更に別の態様において、前記信号入力回路が、アナログ信号増幅器であってもよい。

【0022】第1の形態の更に別の態様において、前記第2抵抗成分は、前記第1抵抗成分の前記一端に接続され、前記所定のインピーダンスと、前記第1抵抗成分のインピーダンスと、前記第2抵抗成分のインピーダンスとの比が、 $1 : (p-1) : p / (p-1)$  ( $p$ は1より大きい定数)であることを特徴とする。各々のインピーダンス値が、この比率で設定されることによって、所望の減衰率および入力インピーダンスの維持を実現することが可能となる。

【0023】第1の形態の更に別の態様において、前記第2抵抗成分は、前記第1抵抗成分の前記他端に接続され、前記所定のインピーダンスと、前記第1抵抗成分のインピーダンスと、前記第2抵抗成分のインピーダンスとの比が、 $1 : (p-1) / p : 1 / (p-1)$  ( $p$ は1より大きい定数)であることを特徴とする。各々のインピーダンス値が、この比率で設定されることによって、所望の減衰率および入力インピーダンスの維持を実現することが可能となる。

【0024】第1の形態の更に別の態様において、複数の前記レベル調整器が、前記入力端子と前記信号入力回路の間で直列に接続されていてもよい。それぞれのレベル調整器が有する減衰率を組み合わせることによって、様々なレンジの減衰率を実現することが可能となる。

【0025】第1の形態の更に別の態様において、アナログ信号処理回路が、前記レベル調整器でレベルを調整されたアナログ信号から、所定の電圧分を除去するレベルシフト部を更に備えてもよい。

【0026】また、上記課題を解決するために、本発明の第2の形態は、アナログ信号を処理するアナログ信号処理回路であって、前記アナログ信号が入力される入力端子と、前記入力端子に対して設けられる、所定の高入力インピーダンスを有する高インピーダンス入力経路と、前記入力端子に対して設けられる、前記高インピーダンス入力経路よりも低い低入力インピーダンスを有する低インピーダンス入力経路と、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通った、前記アナログ信号を出力する出力切替部と、前記出力切替部から出力された前記アナログ信号

のレベルを調整して、レベルを調整された前記アナログ信号を出力するレベル調整器と、所定の入力インピーダンスを有し、前記レベル調整器から出力される前記アナログ信号が入力される信号入力回路とを備えたアナログ信号処理回路を提供する。

【0027】レベル調整器は、前記出力切替部から出力された前記アナログ信号が一端に入力される第1抵抗成分と、前記第1抵抗成分の前記一端または他端とアースとを電氣的に接続する第2抵抗成分とを有して、前記第1抵抗成分の前記一端に入力された前記アナログ信号のレベルを調整して、レベルを調整された前記アナログ信号を前記第1抵抗成分の前記他端から出力することができる。第2の形態によるアナログ信号処理回路は、前記第1抵抗成分の前記一端の入力インピーダンスが、前記信号入力回路の前記所定の入力インピーダンスに等しいことを特徴とする。このアナログ信号処理回路は、複数のレンジの減衰率を有し、更に、入力インピーダンスを、高インピーダンスと低インピーダンスのいずれかに調整可能であることを特徴とする。

【0028】第2の形態の一つの態様において、アナログ信号処理回路が、前記低インピーダンス入力経路とアースとを接続する第3抵抗成分を更に有し、前記第3抵抗成分、前記第1抵抗成分、前記第2抵抗成分、および信号入力回路の前記所定の入力インピーダンスとが、前記高インピーダンス入力経路が有する前記高入力インピーダンスよりも低いインピーダンスを構成するのが好ましい。

【0029】また、本発明の第3の形態は、アナログ信号をデジタル信号に変換するAD変換装置であって、前記アナログ信号が入力される入力端子と、前記入力端子に対して設けられる、高入力インピーダンスを有する高インピーダンス入力経路と、前記入力端子に対して設けられる、前記高インピーダンス入力経路よりも低い低入力インピーダンスを有する低インピーダンス入力経路と、前記入力端子に対して設けられる、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通った、前記アナログ信号を出力する出力切替部と、前記出力切替部から出力された前記アナログ信号のレベルを調整して、レベルを調整された前記アナログ信号を出力するレベル調整器と、所定の入力インピーダンスを有し、前記レベル調整器から出力される前記アナログ信号が入力されて、電圧信号を出力する信号入力回路と、前記電圧信号をデジタル信号に変換するADコンバータとを備えるAD変換装置を提供する。

【0030】レベル調整器は、前記出力切替部から出力された前記アナログ信号が一端に入力される第1抵抗成分と、前記第1抵抗成分の前記一端または他端とアースとを電氣的に接続する第2抵抗成分とを有して、前記第1抵抗成分の前記一端に入力された前記アナログ信号のレベルを調整して、レベルを調整された前記アナログ信

号を前記第1抵抗成分の前記他端から出力することができる。また、本発明の第3の形態によるAD変換装置は、前記第1抵抗成分の前記一端の入力インピーダンスが、前記信号入力回路の前記所定の入力インピーダンスに等しいことを特徴としている。

【0031】なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

【0032】

【発明の実施の形態】以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0033】図4は、本発明による、アナログ信号を処理するアナログ信号処理回路100のブロック図である。アナログ信号処理回路100は、入力端子102、入力インピーダンス調整部104、レベル調整器106、信号入力回路108および出力端子110を備える。

【0034】アナログ信号が入力端子102に入力され、入力インピーダンス調整部104に供給される。入力インピーダンス調整部104は、回路の入力インピーダンスを調整する機能を有する。それから、アナログ信号は、レベル調整器106に供給される。レベル調整器106は、2つの抵抗から構成されるアッテネータを含んでもよく、そのようなアッテネータを複数含んでもよい。また、レベル調整器106は、入力されたアナログ信号のレベルを調整して、後段の信号入力回路108に供給する機能も有する。

【0035】信号入力回路108は、レベル調整器106においてレベルを調整されたアナログ信号を受け取り、出力端子110に出力する。信号入力回路108は、アナログ信号増幅器やバッファ回路のような、アナログ信号を受け取って出力する素子であってよい。

【0036】図5は、本発明によるアナログ信号処理回路100の一つの実施形態を示す回路図である。この実施形態において、アナログ信号処理回路100は、入力端子102、入力インピーダンス調整部104、レベル調整器106、信号入力回路108および出力端子110を備える。レベル調整器106は、第1抵抗成分112、第2抵抗成分114、バイパス経路128、および経路切替部116を有する。入力インピーダンス調整部104は、第3抵抗成分120および接続切替部118を有する。信号入力回路108は、アナログ信号増幅器であって、オペアンプ122、入力インピーダンス成分124、および可変帰還抵抗成分126を有する。

【0037】入力インピーダンス調整部104において、第3抵抗成分120の一端が、アースに接続される。接続切替部118は、第3抵抗成分120の他端

と、レベル調整器106の第1抵抗成分112の一端とを電氣的に接続又は遮断する。第3抵抗成分120は、抵抗値 $R_t$ を有する。第3抵抗成分120の他端と第1抵抗成分112の一端とを電氣的に接続または遮断することによって、アナログ信号処理回路100の入力インピーダンスを調整することが可能となる。

【0038】レベル調整器106において、第1抵抗成分112の一端が入力端子102に電氣的に接続されて設けられる。一方、第1抵抗成分112の他端は、信号入力回路108の入力インピーダンス成分124の一端に電氣的に接続される。本明細書において、第1抵抗成分112の「一端」とは、入力端子102側の第1抵抗成分112の端子を意味し、一方、第1抵抗成分112の「他端」とは、信号入力回路108側の第1抵抗成分112の端子を意味する。また、バイパス経路128が、アナログ信号が通る経路の一つとして、経路切替部116を介して第1抵抗成分112の一端および他端を接続するように、第1抵抗成分112に並列に設けられる。バイパス経路128は、第1抵抗成分112を通る経路よりも低インピーダンスであることが望ましく、低インピーダンスの金属配線であってもよい。

【0039】第2抵抗成分114が、第1抵抗成分112の一端または他端とアースとを電氣的に接続する。図5に示される構成においては、第2抵抗成分114が、第1抵抗成分112の一端（入力端子102側の端子）に接続されている。経路切替部116は、アナログ信号が通る経路を、第1抵抗成分112を含む経路またはバイパス経路128のいずれか一方に切り替える機能を有する。

【0040】この実施形態において、信号入力回路108は、アナログ信号増幅器である。オペアンプ122の負極入力端子と出力端子との間に、可変帰還抵抗126が接続され、オペアンプ122の正極入力端子は接地されており、アナログ信号は、負極入力端子に接続する入力インピーダンス成分124を介して入力される。

【0041】図5に示されたアナログ信号処理回路100において、入力インピーダンス成分124が、所定の入力インピーダンス $R_s$ を有しているとき、第1抵抗成分112は、 $(p-1)R_s$ の抵抗値を有し、第2抵抗成分114は、 $(p/(p-1))R_s$ の抵抗値を有する。すなわち、第2抵抗成分114が、第1抵抗成分112の入力端子102側の一端に接続されるとき、入力インピーダンス成分124の所定のインピーダンスと、第1抵抗成分112のインピーダンスと、第2抵抗成分114のインピーダンスとの比が、 $1:(p-1):p/(p-1)$ （ここで、 $p$ は1より大きい定数）となることが望ましい。

【0042】各インピーダンスを、このような比に設定することによって、第1抵抗成分112の一端の入力インピーダンスが、入力インピーダンス成分124の入力



インピーダンス $R_s$ に等しくなる。そのため、信号入力回路108の前段にレベル調整器106を設けても、回路の入力インピーダンスは変化せず、所定の入力インピーダンス $R_s$ を保つ。さらに、各インピーダンスをこのように比に設定することによって、第1抵抗成分112の一端に入力されるアナログ信号のレベルに対して、第1抵抗成分112の他端から出力されるアナログ信号のレベルを $1/p$ 倍に減衰することが可能となる。

【0043】以下に、各構成の機能および動作について説明する。

【0044】アナログ信号が、入力端子102に入力される。接続切替部118は、アナログ信号の種類に応じて、第3抵抗成分120と、第1抵抗成分112の入力端子102側の端子とを、電氣的に接続または遮断する。接続切替部118は、第3抵抗成分120の端子と第1抵抗成分112の一端とを電氣的に接続することによって、アナログ信号処理回路100の回路入力インピーダンスを小さくする。具体的には、回路入力インピーダンスが、第3抵抗成分の抵抗値 $R_t$ と、入力インピーダンス成分124の抵抗値 $R_s$ との合成インピーダンスに設定される。一方、接続切替部118は、第3抵抗成分120の端子と第1抵抗成分112の一端とを電氣的に遮断することによって、アナログ信号処理回路100の回路入力インピーダンスを、信号入力回路108の入力インピーダンス $R_s$ に等しくする。例えば、アナログ信号を出力するデバイスの駆動能力が強く、出力信号周波数が高いときには、接続切替部118のリレーを閉じて、回路の入力インピーダンスを $R_s$ と $R_t$ との合成インピーダンス（低インピーダンス）に設定することが望ましい。一方、アナログ信号を出力するデバイスの駆動能力が弱く、出力信号周波数が低いときには、接続切替部118のリレーを開いて、回路の入力インピーダンスを $R_s$ のインピーダンス（高インピーダンス）に設定することが望ましい。

【0045】入力端子102に入力されたアナログ信号が、第1抵抗成分112の一端に入力される。経路切替部116が、バイパス経路128を導通させるとき、アナログ信号は、主として、低インピーダンスのバイパス経路128を通り、第1抵抗成分112を含む経路を通らない。このとき、第1抵抗成分112と第2抵抗成分114は、電氣的に遮断される。

【0046】一方、経路切替部116が、第2抵抗成分114と、第1抵抗成分112の一端とを接続するとき、バイパス経路128は遮断され、アナログ信号が、第1抵抗成分112を含む経路を通過する。このとき、第1抵抗成分112の一端または他端と、第2抵抗成分114は、電氣的に接続される。アナログ信号は、第1抵抗成分112の他端から、レベルを調整されて出力される。この実施形態において、オペアンプ122の反転入力は仮想接地されており、第1抵抗成分112が抵抗

値 $(p-1)R_s$ 、入力インピーダンス成分124が抵抗（インピーダンス）値 $R_s$ を有しているため、第1抵抗成分112の他端（すなわち、入力インピーダンス成分124の入力端）には、 $1/p$ 倍に減衰されたアナログ信号が現れる。

【0047】以上のように、レベル調整器106は、第1抵抗成分112の一端に入力されたアナログ信号のレベルを調整して、レベルを調整されたアナログ信号を第1抵抗成分112の他端から出力することができる。上述したように、第1抵抗成分112の一端（入力端子102側の端子）の入力インピーダンスは、信号入力回路108の所定の入力インピーダンス $R_s$ に等しい。

【0048】レベル調整器106から出力されるアナログ信号が、信号入力回路108に入力される。入力インピーダンス成分124に印加されるアナログ信号のレベルは、レベル調整器106における第1抵抗成分112の一端に入力されたアナログ信号のレベルに対して $1/p$ 倍されている。本発明によるアナログ信号処理回路100においては、 $1/p$ 倍に減衰されたアナログ信号がアナログ信号増幅器に入力されるので、アナログ信号増幅器に大振幅入力信号が入力されて、その出力が飽和することを防止することが可能となる。また、可変帰還抵抗126の抵抗値 $R_f$ を変化させることによって、アナログ信号増幅器は、所望の増幅率（減衰率）を実現することも可能となる。

【0049】図5には、信号入力回路108の一例として、アナログ信号増幅器が示されているが、他の例においては、信号入力回路108は、アナログ信号が入力される他の素子であってもよい。

【0050】以上のように、本発明によるアナログ信号処理回路100は、入力アナログ信号を減衰し、且つ入力インピーダンスの調整を可能とすることができる。したがって、アナログ信号処理回路100は、高周波信号の処理にも適し、また、複数のレベル調整器106を組み合わせることによって、所望の減衰率を実現することもできる。

【0051】図6は、本発明の別の実施例によるレベル調整器106と、信号入力回路108との接続関係を示す回路図である。信号入力回路108は、図5に示されたアナログ信号増幅器であり、オペアンプ122、入力インピーダンス成分124および可変帰還抵抗126を有している。レベル調整器106は、第1抵抗成分112、第2抵抗成分114、経路切替部116、およびバイパス経路128を有する。

【0052】レベル調整器106において、第1抵抗成分112の他端が、信号入力回路108の入力インピーダンス成分124の一端に電氣的に接続される。また、バイパス経路128が、アナログ信号が通る経路の一つとして、経路切替部116を介して第1抵抗成分112の一端および他端を接続するように、第1抵抗成分11

2に並列に設けられる。バイパス経路128は、第1抵抗成分112を通る経路よりも低インピーダンスであることが望ましく、低インピーダンスの金属配線であってもよい。

【0053】図6に示される構成において、第2抵抗成分114が、第1抵抗成分112の他端（信号入力回路108側の端子）に接続されている。経路切替部116は、アナログ信号が通る経路を、第1抵抗成分112を含む経路またはバイパス経路128のいずれか一方に切り替える機能を有する。

【0054】入力インピーダンス成分124が、所定の入力インピーダンス $R_s$ を有しているとき、第1抵抗成分112は、 $((p-1)/p)R_s$ の抵抗値を有し、第2抵抗成分114は、 $(1/(p-1))R_s$ の抵抗値を有する。すなわち、第2抵抗成分114が、第1抵抗成分112の他端（信号入力回路108側の端子）に接続されるとき、入力インピーダンス成分124の所定のインピーダンスと、第1抵抗成分112のインピーダンスと、第2抵抗成分114のインピーダンスとの比が、 $1:(p-1)/p:1/(p-1)$ （ここで、 $p$ は1より大きい定数）となることが望ましい。

【0055】各インピーダンスを、このような比に設定することによって、第1抵抗成分112の一端の入力インピーダンスが、入力インピーダンス成分124の入力インピーダンス $R_s$ に等しくなる。そのため、信号入力回路108の前段にレベル調整器106を設けても、入力インピーダンスは変化せず、所定の入力インピーダンス $R_s$ を保つ。さらに、各インピーダンスをこのような比に設定することによって、第1抵抗成分112の一端に入力されるアナログ信号のレベルに対して、第1抵抗成分112の他端から出力されるアナログ信号のレベルを $1/p$ 倍に減衰することが可能となる。

【0056】図7は、複数のレベル調整器を有するアナログ信号処理回路100の実施例を示す。アナログ信号処理回路100は、入力端子102、入力インピーダンス調整部104、レベル調整器106a、106b、信号入力回路108および出力端子110を備える。レベル調整器106aは、第1抵抗成分112a、第2抵抗成分114a、バイパス経路128a、および経路切替部116aを有し、レベル調整器106bは、第1抵抗成分112b、第2抵抗成分114b、バイパス経路128b、および経路切替部116bを有する。入力インピーダンス調整部104は、第3抵抗成分120および接続切替部118を有する。第3抵抗成分120は、抵抗値 $R_t$ を有している。信号入力回路108は、アナログ信号増幅器であって、オペアンプ122、入力インピーダンス成分124、および可変帰還抵抗成分126を有する。入力インピーダンス成分124は、所定の入力インピーダンス $R_s$ を有している。図7において、図5に付された符号と同一または同様の符号を付された構成

は、図5において対応する構成と同一または同様の動作および機能を有する。

【0057】この実施例において、複数のレベル調整器106a、106bが、入力端子102と信号入力回路108の間で、直列に接続されている。具体的には、レベル調整器106aとレベル調整器106bとが、入力端子102と信号入力回路108の間で直列に接続されている。入力インピーダンス成分124の所定のインピーダンスと、第1抵抗成分112aまたは112bのインピーダンスと、第2抵抗成分114aまたは114bのインピーダンスとの比は、 $1:(p-1):p/(p-1)$ （ $p$ は1より大きい定数）となるように設定される。

【0058】レベル調整器106aにおいて、 $p=4$ に設定され、抵抗値 $3R_s$ の第1抵抗成分112aと、抵抗値 $4R_s/3$ の第2抵抗成分114aとが設けられる。経路切替部116aが第1抵抗成分112aと第2抵抗成分114aとを電気的に接続するとき、レベル調整器106aは、入力アナログ信号を $1/4$ 倍に減衰するアッテネータとして機能する。すなわち、レベル調整器106aは、12dBアッテネータとして利用されることができる。

【0059】また、レベル調整器106bにおいて、 $p=2$ に設定され、抵抗値 $R_s$ の第1抵抗成分112bと、抵抗値 $2R_s$ の第2抵抗成分114bとが設けられる。経路切替部116bが第1抵抗成分112bと第2抵抗成分114bとを電気的に接続するとき、レベル調整器106bは、入力アナログ信号を $1/2$ 倍に減衰するアッテネータとして機能する。すなわち、レベル調整器106bは、6dBアッテネータとして利用されることができる。

【0060】図7に示されるように、複数のレベル調整器106a、106bを直列に接続することによって、入力インピーダンスを保ちながら、複数レンジの減衰率を実現することが可能となる。 $N$ 個のレベル調整器を直列に接続することによって、 $2^N$ 通りの組合わせの減衰率を実現することが可能となる。また、この実施例においては、接続切替部118を開閉することによって、回路の入力インピーダンスの調整を実現することもできる。

【0061】図8は、本発明によるアナログ信号処理回路100の別の実施形態を示す回路図である。アナログ信号処理回路100は、入力端子102、入力インピーダンス調整部104、レベル調整器106、信号入力回路108、レベルシフト部140、および出力端子110を備える。レベル調整器106は、第1抵抗成分112、第2抵抗成分114、経路切替部116、およびバイパス経路128を有し、経路切替部116は、2つの切替リレー116a、116bを含んでいる。入力インピーダンス調整部104は、高インピーダンス入力経路

130、低インピーダンス入力経路132、入力切替部134、出力切替部136、バッファ回路138および第3抵抗成分120を有する。信号入力回路108は、オペアンプ122、入力インピーダンス成分124、および可変帰還抵抗126を有するアナログ信号増幅器である。

【0062】入力インピーダンス調整部104において、高インピーダンス入力経路130は、バッファ回路138を含み、このバッファ回路138は、約1MΩの入力抵抗を有している。入力切替部134および出力切替部136は、切替リレーであり、信号伝送経路を切り替える機能を有する。入力切替部134および出力切替部136が高インピーダンス入力経路130と接続するとき、入力端子102における入力インピーダンスは、高インピーダンスとなる。

【0063】一方、低インピーダンス入力経路132は、図示される構成においては、直列接続されるインピーダンス成分（抵抗成分）を有しない。この実施形態において、低インピーダンス入力経路132に、抵抗値 $R_t$ の第3抵抗成分120の一端が接続される。第3抵抗成分120の他端は、接地されている。

【0064】入力切替部134および出力切替部136が、アナログ信号の伝送経路を低インピーダンス経路132に切り替えるとき、第3抵抗成分120、第1抵抗成分112、第2抵抗成分114、および入力インピーダンス成分124の所定の入力インピーダンスとが、高インピーダンス入力経路130が有する高入力インピーダンス（1MΩ）よりも低いインピーダンスを構成する。第1抵抗成分112および第2抵抗成分114は、回路の入力インピーダンスを $R_s$ に保つように設けられている。したがって、実質的には、低インピーダンス経路132を通る回路の入力インピーダンスは、第3抵抗成分120の抵抗値 $R_t$ と入力インピーダンス成分124のインピーダンス値 $R_s$ の合成インピーダンスとなる。例えば、抵抗値 $R_t$ を50Ωに設定すると、入力インピーダンス調整部104は、約50Ωと1MΩの入力インピーダンスの切替を実現することができる。

【0065】レベル調整器106において、2つの切替リレー116aおよび116bが設けられている。切替リレー116aは、バイパス経路128を導通させるために用いられ、切替リレー116bは、第1抵抗成分112と第2抵抗成分114とを電気的に接続するために用いられる。回路の動作中、切替リレー116aおよび116bのいずれか一方が閉じ、他方が開いていることが望ましい。

【0066】レベルシフト部140は、第1抵抗成分112の他端から出力されるアナログ信号から、所定の電圧分を除去する機能を有する。除去される電圧は、差動信号のコモン電圧や、シングルエンド信号における観測波形中心電圧などがある。以下に、これらの電圧を総称

して、オフセット電圧Voffsetと呼ぶ。

【0067】例えば、アナログ信号がシングルエンド信号であるとき、信号入力回路108は、アナログ信号から、観測波形が0Vを中心に動作するように、観測波形中心電圧を除去することができる。このとき、レベルシフト部140において、Voffsetが観測波形中心電圧に設定される。

【0068】図9（a）は、アナログ信号がシングルエンド信号であるときの、アナログ信号の信号波形を示す。アナログ信号に、所定のオフセット電圧Voffsetが加えられている。

【0069】図9（b）は、図9（a）に示されるアナログ信号から、所定の電圧Voffset（観測波形中心電圧）が除去され、出力端子110から出力される出力信号の信号波形を示す。オフセット電圧Voffsetを取り除いた結果、出力信号が、0Vを中心とした信号波形を有するようになった。

【0070】図10は、本発明によるアナログ信号処理回路100を含んだAD（アナログ/デジタル）変換装置150と、その周辺回路のブロック図を示す。AD変換装置150は、アナログ信号処理回路100、アンチエイリアジングローパスフィルタ152およびADコンバータ154を有する。アンチエイリアジングローパスフィルタ152は、解析アナログ信号の帯域をナイキスト周波数以内に制限するために設けられるADコンバータ前置フィルタである。この実施例においては、アナログ信号処理回路100に1つのアナログ信号が入力されているが、別の実施例においては、アナログ信号が差動で入力されてもよい。

【0071】アナログ信号処理回路100は、図4から9に関連して説明したアナログ信号処理回路100に相当し、アナログ信号処理回路100に関する詳細な説明については省略する。アナログ信号処理回路100は、入力されるアナログ信号のレベルを調整した電圧信号を出力する。電圧信号は、アンチエイリアジングローパスフィルタ152に入力される。アンチエイリアジングローパスフィルタ152は、電圧信号の帯域をナイキスト周波数以内に制限する。帯域を制限された電圧信号は、ADコンバータ154に供給される。ADコンバータ154は、電圧信号をデジタル信号に変換する。このようにして、AD変換装置150は、アナログ信号をデジタル信号に変換することができる。

【0072】クロック発生器156が、ADコンバータ154およびメモリ158の動作を制御する。ADコンバータ154は、クロック発生器156から供給されるクロックに同期して、アナログ信号のサンプリングを行い、また、メモリ158は、クロックに同期して、変換されたデジタル信号（データ）を格納する。

【0073】上記説明から明かなように、本発明によれば、所望の減衰率を実現することができ、更に入力イ

ンピーダンスを調整することができるアナログ信号処理回路および該アナログ信号処理回路を組み込んだAD変換装置を提供することができる。以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれることが、特許請求の範囲の記載から明らかである。

#### 【0074】

【発明の効果】本発明のアナログ信号処理回路によると、入力インピーダンスを切り替えることができ、また入力アナログ信号のレベルを調整することができる、という効果を奏する。

#### 【図面の簡単な説明】

【図1】  $50\Omega$ の終端抵抗を有して且つ減衰率の選択が可能とする従来のアナログ信号処理回路10を示す。

【図2】 入力インピーダンスの切替えと、4レンジの減衰率を得ることができる従来のアナログ信号処理回路40を示す。

【図3】 入力インピーダンスの切替えと、可変の減衰率を得ることができる従来のアナログ信号処理回路70を示す。

【図4】 本発明による、アナログ信号を処理するアナログ信号処理回路100のブロック図である。

【図5】 本発明によるアナログ信号処理回路100の一つの実施形態を示す回路図である。

【図6】 本発明の別の実施例によるレベル調整器106と、信号入力回路108との接続関係を示す回路図である。

【図7】 複数のレベル調整器を有するアナログ信号処理回路100の実施例を示す。

【図8】 本発明によるアナログ信号処理回路100の別の実施形態を示す回路図である。

【図9】 (a)は、アナログ信号がシングルエンド信号であるときの、アナログ信号の信号波形を示し、(b)は、(a)に示されるアナログ信号から、所定の電圧V

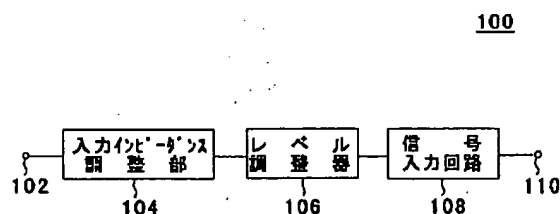
offset (観測波形中心電圧) が除去され、出力端子110から出力される出力信号の信号波形を示す。

【図10】 本発明によるアナログ信号処理回路100を含んだAD (アナログ/デジタル) 変換装置150と、その周辺回路のブロック図を示す。

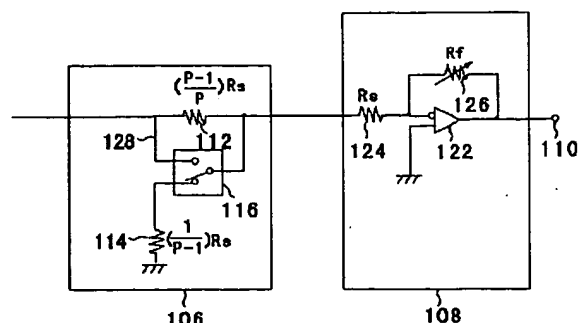
#### 【符号の説明】

10・・・アナログ信号処理回路、12・・・入力端子、14、16・・・レベル調整器、18・・・信号入力回路、20・・・出力端子、22、28・・・T型アッテネータ、24、26、30、32・・・経路切替部、34・・・終端抵抗、36・・・バッファ回路、40・・・アナログ信号処理回路、42・・・入力端子、44・・・切替リレー、46・・・終端抵抗、48、50、52、54・・・分圧用抵抗、56・・・バッファ回路、58・・・出力端子、60・・・減衰率選択部、70・・・アナログ信号処理回路、72・・・入力端子、74・・・切替リレー、76・・・終端抵抗、78・・・入力インピーダンス、80・・・オペアンプ、82・・・可変帰還抵抗、84・・・帰還抵抗、86・・・切替リレー、88・・・出力端子、100・・・アナログ信号処理回路、102・・・入力端子、104・・・入力インピーダンス調整部、106、106a、106b・・・レベル調整器、108・・・信号入力回路、110・・・出力端子、112、112a、112b・・・第1抵抗成分、114、114a、114b・・・第2抵抗成分、116、・・・経路切替部、116a、116b・・・切替リレー、118・・・接続切替部、120・・・第3抵抗成分、122・・・オペアンプ、124・・・入力インピーダンス成分、126・・・および可変帰還抵抗成分、128、128a、128b・・・バイパス経路、130・・・高インピーダンス入力経路、132・・・低インピーダンス入力経路、134・・・入力切替部、136・・・出力切替部、138・・・バッファ回路、140・・・レベルシフト部、150・・・AD変換装置、152・・・アンチエイリアジングローパスフィルタ、154・・・ADコンバータ、156・・・クロック発生器、158・・・メモリ

【図4】

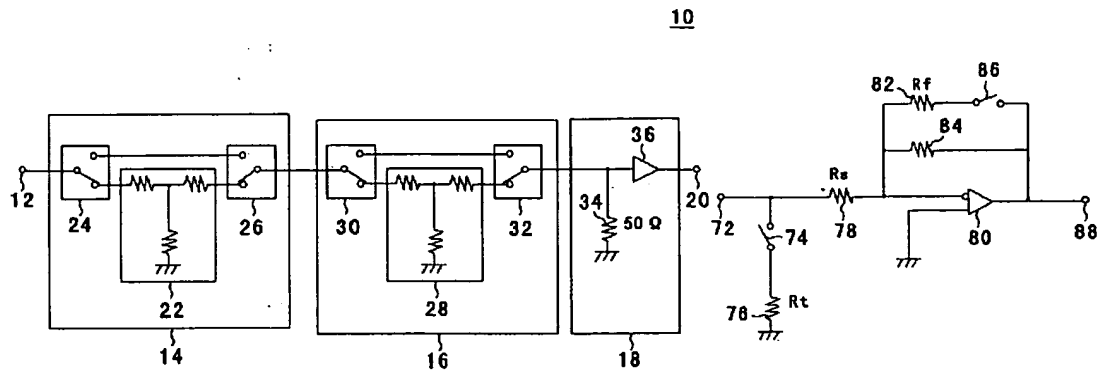


【図6】



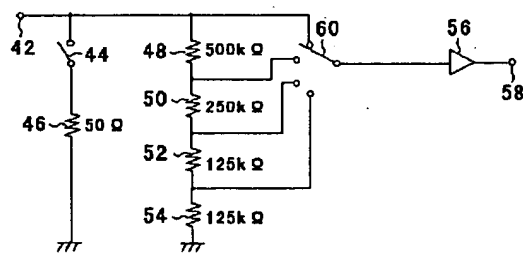
【図1】

【図3】



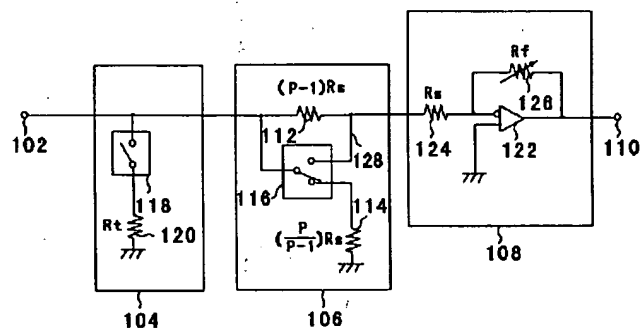
【図2】

40

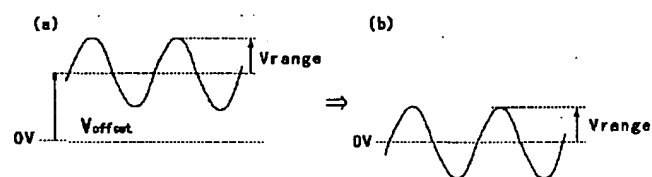


【図5】

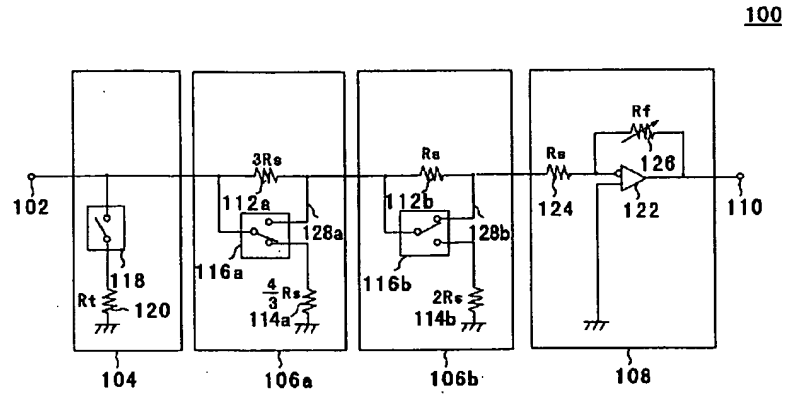
100



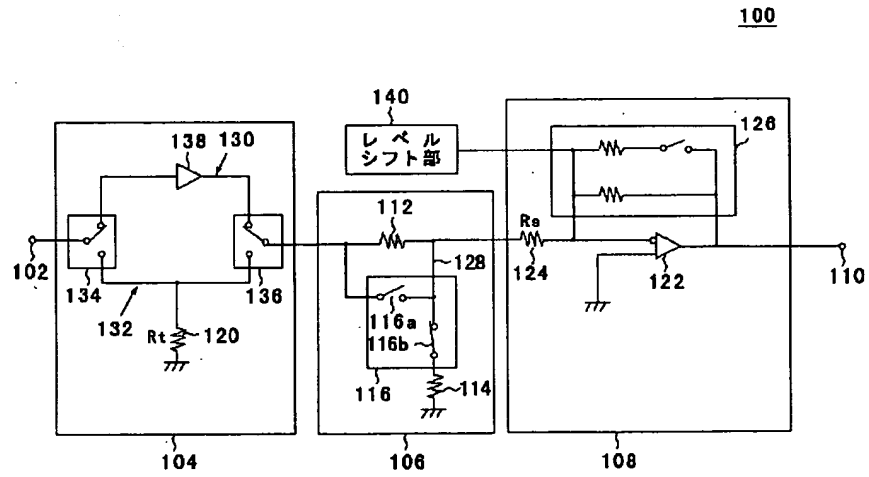
【図9】



【図7】



【図8】



【図10】

